

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233632

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 10-334686

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 25.11.1998

(72)Inventor : FUKUHARA HIDEYUKI
ASHIGAKI SHIGEO

(30)Priority

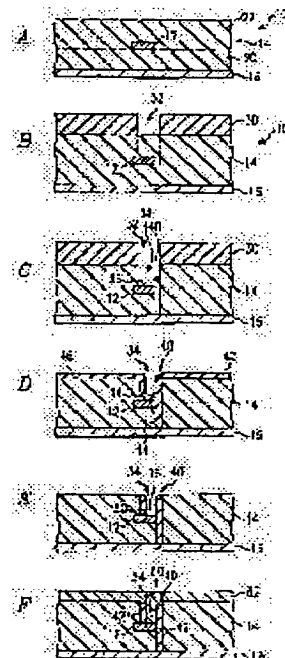
Priority number : 97 66961 Priority date : 26.11.1997 Priority country : US

(54) INTEGRATED CIRCUIT CONDUCTOR INTERCONNECTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an advanced method for interconnecting conductors in an integrated circuit.

SOLUTION: This method includes the provision for a lower-layer conductor 12 provided in an insulating layer 14. In the insulating layer 14, a through-hole 34 is formed while being aligned primarily to cover the lower-layer conductor 12 so that one section 36 of the lower layer conductor 12 is exposed. A misalignment insulating layer 42 is formed outward from the bottom 44 of the through-hole 34. At least a part of the misalignment insulating layer 42 is removed to expose at least a part 50 of the section 36 of the lower-layer conductor 12. Then a mutual connection 60 is formed in the through-hole 34, so that the connection to the lower-layer conductor 12 is made.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233632

(43) 公開日 平成11年(1999) 8月27日

(51) Int. Cl.
H 01 L 21/788F I
H 01 L 21/90D
J

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平10-334696

(71) 出願人

(22) 出願日 平成10年(1998)11月25日

テキサス インスツルメンツ インコーポ
レイテッド

(31) 優先権主張番号 0 6 6 9 6 1

アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 15500

(32) 優先日 1997年11月25日

(72) 発明者

(33) 優先権主張国 米国 (U S)

(72) 発明者
黄庭 榮之
東京都小平市学園西町2-28-20-103

(72) 発明者

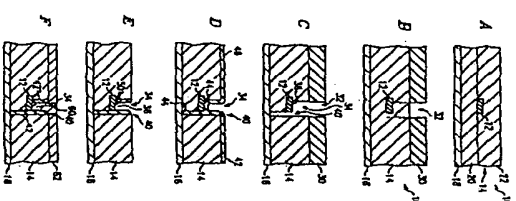
アメリカ合衆国 テキサス州(リ)チャードソ
ン、ウエスト レンチャー ローフ 200,
アバートメント サンバー1814

(72) 発明者

(72) 代理人 伊理士 枝村 皓 (外3名)

(54) 発明の名称 集積回路素体相互接続方法

(57) 要約

【課題】 集積回路中の素体を相互接続するための進歩
した方法を提供する。【解決手段】 本方法は、絶縁層 (14) 中に設けられ
た下層素体 (12) を提供することを含む。絶縁層 (1
4) 中に、下層素体 (12) の一区分 (36) を露出さ
すように、本質的に下層素体 (12) を覆うようにアラ
イメント絶縁層 (42) の少なくとも一部分が除去され
て、下層素体 (12) の区分 (36) の少なくとも一部
分 (50) が露出される。次に、スルーホール (34) 中
に相互接続 (60) が形成されて、下層素体 (12)
へつながれる。

【特許請求の範囲】

【請求項1】 集積回路中の素体を相互接続する方法であ
って、絶縁層中に設けられた下層素体を提供する工程、
前記絶縁層中に、本質的に前記下層素体を覆うようにア
ライメントされたスルーホールを形成して、前記下層素
体の一区分を露出させる工程、
前記スルーホールの底の外側にミスマライメント絶縁層
を形成する工程、
前記ミスマライメント絶縁層の少なくとも一部分を除去
して、前記下層素体の前記区分の少なくとも一部分を露
出させる工程、および前記スルーホール中に、前記下層
素体とつながる相互接続を形成する工程、を含む方法。

【請求項2】 集積回路であって、

下層の下層素体、
前記下層の下層素体の外側に設けられた絶縁層、
前記絶縁層の外側に設けられた上層素体、
前記絶縁層中に、前記下層の下層素体および上層素体か
ら分離されて設けられた下層素体、
前記絶縁層中に、前記下層素体と前記上層素体から前記下層素
体へ延び、更に前記下層の下層素体へ向かって延びる
不整合区分を含むように形成されたスルーホール、
前記下層素体と前記下層の下層素体との間に、少なくと
も部分的には前記不整合区分中に存在するように設けら
れたミスマライメント絶縁層、および前記スルーホール
中に、前記下層素体および前記上層素体とつながるよう
に設けられた相互接続、を含む集積回路。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】 本発明は、一般的に、半導体デ
バイス分野に関するものであって、更に詳細には集積回
路中の素体を相互接続する方法およびシステムに関す
る。【0002】
【従来の技術】 テレビ、電話、ラジオおよびコンピュ
タ等の最近の電子機器はしばしば固体デバイスで構築さ
れていく。固体デバイスは電荷キャリアの運動に基づい
て動作する。従って、固体デバイスは可動部分を持たな
い。【0003】 固体デバイスは一般に電子機器に好んで用
いられる。それは、それらが非常に信頼でき、非常に
小型であり、しかも比較的安価なためである。固体デバ
イスは、例えば、トランジスタ、コンデンサ、あるいは
抵抗等である。そのようなデバイスにしばしば、集積回
路の一部として形成される。

【0004】

【発明の解決しようとする課題】 集積回路において、異
なる導電層間の接続はしばしばスルーホール中に形成さ
れる。アラメントおよびプロセス上の変動のせいでスルーホールの一部が下層素体から降りて下層の下層素体
に達するのを防止するために、下層素体はオーバーラ
ップラップを含むのが普通である。オーバーラップラ
ップは下層素体の広がった区分であり、アラメント
およびプロセス上の変動を吸収する。この結果として、
相互接続は、下層の下層素体にまで延びて電氣的接続を
引き起こすことがなくなる。【0005】 しかし、このオーバーラップラップは、
それが集積回路内に付加的なエリアを必要とする点で欠
点となる。この付加的なエリアのために、電子機器の寸
法を減らすために益々重要となっている集積回路寸法の
微細化が妨げられる。【0006】 従って、集積回路中の素体を相互接続する
ための進歩した方法およびシステムに対する需要が当該
分野で生じている。本発明は、従来の相互接続の
方法およびシステムに付随する問題を本質的に解消ま
たは緩和する方法およびシステムを提供する。

【0007】

【課題を解決するための手段】 本発明に従えば、集積回
路の素体は、絶縁層中に下層素体を提供することによって
相互接続される。スルーホールは、本質的に前記下層
素体の一区分を露出するように下層素体に位置合わせ
して、前記絶縁層中に形成される。スルーホールの底
には外側に向かってミスマライメント絶縁層 (misalign
ment insulation layer) が形成されよう。ミスマライメント絶縁層の少な
くとも一部は、下層素体の前記区分の少なくとも一部を露
出するように除去されよう。次に、前記スルーホール中
に相互接続が形成されて、下層素体とつながれよう。【0008】 更に詳細には、本発明の一実施例に従え
ば、前記絶縁層の外側に上層素体形成され、相互接続
とつながれよう。本実施例およびその他の実施例におい
て、下層の下層素体から前記下層素体の内側に設けられ
、それは前記絶縁層によって下層素体から分離されよう。
スルーホールは下層の下層素体の一区分を露出する不整
合区分 (misaligned section) を含
むであろう。下層素体は下層の下層素体から絶縁するた
めに、不整合区分の少なくとも一部中にミスマライメン
ト絶縁層が現れよう。【0009】 特別の実施例では、絶縁層の外側にアラ
メント層を形成することによってスルーホールが形成
されよう。下層素体は本質的にアラメントとされて、ア
ラメント中に開口部がパターンニングされよう。スルー
ホールは、下層素体の前記区分を露出するように、ア
ラメント層中の開口部を通して絶縁層中にエッチされ
よう。本実施例およびその他の実施例において、ミスマ
ライメント絶縁層は、スルーホールの底の外側に絶縁
体を堆積させることによって形成されよう。【0010】 本発明の重要な技術的特徴は、進歩した集
積回路を提供することを含む。特に、本集積回路は、広

【0016】実施例において、初期の半導体構造10は、下部の下部導体16を集積回路の絶縁層またはその他の要素（図示されていない）上に形成することで提供

【0020】図1Bを参照すると、絶縁層14の外側にフオトリジスト層30が形成される。一実施例では、フオトリジスト層30は従来の集積回路プロセス技術に従って、絶縁層14の上に貼り付けられる。フオトリジスト層30は、本発明のスクラブから外れることなしに、絶縁層14の外側に別の方法で形成できること

を理解されよう。

【0026】本発明に従えば、ミスアライメント絶縁層

でも除去できる

【0030】特別な実施例では、ミズアラメダノト地味緑青4.2の約10%～20%が除去され、「階層体1.2」の初期に排出されていた成分3.6の少なくとも一部分5.0が除去されよう。この半量減で、ミズアラメダノト地味緑青4.2は、スルホーホム3.4の調整上、および汚染主体1.2と下部の「階層体1.6」との間の不整合区分の少ないくとも2割分の不足が生ずる。ミズアラメダノト地味緑青4.2の残存部分は、本発明のスラークから外れることをし、スルホーホム3.4および不整合区分4.0中に別

【図1】

